

(51)Int.Cl. ⁸	識別記号	F I	
H 0 3 K 19/00		H 0 3 K 19/00	A
G 1 1 C 11/407		G 1 1 C 11/34	3 5 4 F
H 0 1 L 21/8238		H 0 1 L 27/08	3 2 1 L
27/092		H 0 3 K 19/094	B
H 0 3 K 19/0948			
審査請求 未請求 請求項の数11 O L (全 11 頁)			

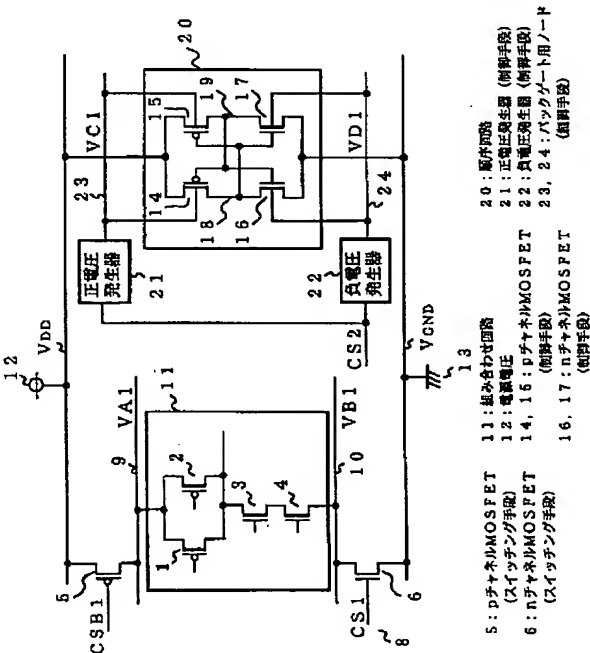
(21)出願番号	特願平9-66973	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成9年(1997)3月19日	(72)発明者	牧野 博之 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(72)発明者	鈴木 弘明 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(74)代理人	弁理士 田澤 博昭 (外1名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 半導体集積回路において組み合わせ回路は正常に動作するが、順序回路は保持データの消失により誤動作するという課題があった。

【解決手段】 順序回路に含まれる電界効果トランジスタは制御手段がそのしきい値電圧を可変とすることができるよう構成したので、動作時にはトランジスタのしきい値電圧を低くして記憶保持ノードへのデータの書き込み・読み出しを高速化し、不動作時にはトランジスタのしきい値電圧を高めてリーク電流を減少させ、これにより記憶保持ノードのデータを破壊・消失しないようにするとともに低消費電力化を実現したものである。



【特許請求の範囲】

【請求項1】 スイッチング手段と、該スイッチング手段に接続された組み合わせ回路と、第1の電界効果トランジスタを含む順序回路と、上記第1の電界効果トランジスタのしきい値電圧を可変とする制御手段とを備えた半導体集積回路。

【請求項2】 順序回路に含まれる第1の電界効果トランジスタはバックゲートを有しており、制御手段はこのバックゲートを介して上記第1の電界効果トランジスタのしきい値電圧を可変とすることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 制御手段は正電圧発生器と負電圧発生器とを含むことを特徴とする請求項2記載の半導体集積回路。

【請求項4】 組み合わせ回路には第2の電界効果トランジスタが含まれているとともに、スイッチング手段には第3の電界効果トランジスタが含まれており、上記第2の電界効果トランジスタのしきい値電圧の絶対値よりも上記第3の電界効果トランジスタのしきい値電圧の絶対値が高いことを特徴とする請求項1から請求項3のうちのいずれか1項記載の半導体集積回路。

【請求項5】 組み合わせ回路には第2の電界効果トランジスタが含まれており、スイッチング手段には少なくとも二つの第3の電界効果トランジスタが含まれており、その一方のトランジスタのソースが電源電圧に接続されているとともに他方のトランジスタのソースがアース電位に接続されている半導体集積回路において、上記第2の電界効果トランジスタのしきい値電圧の絶対値が上記第3の電界効果トランジスタのしきい値電圧の絶対値が略等しく、しかも上記第3の電界効果トランジスタがオフ状態にある場合には電源電圧側のトランジスタとアース側のトランジスタとでゲート・ソース間電位を逆バイアスとすることを特徴とする請求項1から請求項3のうちのいずれか1項記載の半導体集積回路。

【請求項6】 組み合わせ回路は複数の第1の回路ブロックから成り、それぞれの第1の回路ブロックに対してスイッチング手段が個別に接続されており、順序回路もまた複数の第2の回路ブロックから成り、それぞれの第2の回路ブロックに含まれる第1の電界効果トランジスタのしきい値電圧を可変とする制御手段が個別に接続されていることを特徴とする請求項1記載の半導体集積回路。

【請求項7】 スイッチング手段は、電源電圧よりも高い電圧を発生させる第1の昇圧器と、アース電位よりも低い電圧を発生させる第1の降圧器と、上記第1の昇圧器と接続された反転手段と、上記第1の降圧器と接続された非反転手段とを備えることを特徴とする請求項6記載の半導体集積回路。

【請求項8】 制御手段は正電圧発生器と接続される第2の昇圧器と、負電圧発生器と接続される第2の降圧器

とを備えており、上記正電圧発生器と負電圧発生器がマルチプレクサ回路から成ることを特徴とする請求項3記載の半導体集積回路。

【請求項9】 制御手段に含まれる第2の昇圧器および第2の降圧器が、スイッチング手段に含まれる第1の昇圧器および第1の降圧器と異なることを特徴とする請求項8記載の半導体集積回路。

【請求項10】 組み合わせ回路と順序回路とを含む論理回路と、昇圧器と降圧器とを有する集積回路とを備えた半導体集積回路において、上記集積回路の昇圧器および降圧器を用いて、組み合わせ回路のスイッチング手段を駆動するとともに、順序回路に含まれるバックゲートを有する電界効果トランジスタのバックゲートを介してコントロールする制御手段を駆動することを特徴とする半導体集積回路。

【請求項11】 上記昇圧器と降圧器とを有する集積回路がダイナミックランダムアクセスメモリ(DRAM)からなることを特徴とする請求項10記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、携帯用電子機器などの電池寿命を引き延ばすために低消費電力化した半導体集積回路に関するものである。

【0002】

【従来の技術】近年、携帯機器の進歩・発展にともない内蔵電池をさらに長時間使用できるように半導体集積回路(LSI)を低消費電力化することが求められている。低消費電力化を実現するための有効な手法として、例えば動作電圧を下げることなどが挙げられる。すなわち、消費電力は電圧と電流の積で与えられるので、動作電圧を低下させることによって電圧と電流の両方を低減することができ、これにより一般に二乗の効果があるといわれている。

【0003】しかしながら、LSIを構成するMOSFETは、電源電圧を下げると動作が劣化してスピードが遅くなるという性質を有する。この性質は、電源電圧を低下させても、しきい値電圧を不用意に下げることができないことに起因する。なぜならば、しきい値を低下させるとMOSFETのオフ時のリーク電流が増大してしまい、かえって消費電力を増加させてしまうからである。この課題を解決するために、従来は次のような方法が用いられていた。

【0004】図7は、例えば特開平7-212218号公報に示された従来のいわゆるMT-CMOS(Multi-threshold CMOS)による低電圧動作回路である。図において、1、2および5はpチャネルMOSFETであり、3、4および6はnチャネルMOSFETである。pチャネルMOSFET1、2のしきい値電圧の絶対値は、pチャネルMOSFET5のし

きい値の絶対値よりも低く設定されているとともに、 n チャネルMOSFET 3, 4のしきい値電圧の絶対値が n チャネルMOSFET 6のしきい値の絶対値よりも低く設定されている（以下、「しきい値電圧」はその絶対値をいうものとする）。そして、これらのMOSFET 1~4が2入力NANDゲートの組み合わせ回路11を構成する。また、 p チャネルMOSFET 5は電源電圧12と仮想的な電源線9との間に接続され、そのゲートには制御信号CSB1が入力し、 n チャネルMOSFET 6は仮想的なアース線10とアース13との間に接続され、そのゲートには制御信号CS1が入力する。

【0005】次に動作について説明する。この2入力NANDゲートの組み合わせ回路11を動作させる場合には、制御信号CS1をハイレベルにするとともに、その反転信号である制御信号CSB1をローレベルにする。したがって p チャネルMOSFET 5および n チャネルMOSFET 6はいずれもオンの状態になり、仮想的な電源線9は電源電圧12の電圧 V_{DD} レベルまで引き上げられ、一方仮想的なアース線10はアース13の V_{GND} レベルまで引き下げられる。この結果、この組み合わせ回路11は通常のNAND動作をすることになる。この際、MOSFET 1~4はしきい値電圧（絶対値）が低く設定されているので、電源電圧12の電圧 V_{DD} が低電圧の際にも高速の動作が可能となる。

【0006】組み合わせ回路11が動作しない場合には、制御信号CS1をローレベルとし、その反転信号である制御信号CSB1をハイレベルとする。このとき p チャネルMOSFET 5および n チャネルMOSFET 6はいずれもオフとなって、仮想的な電源線9および仮想的なアース線10は電源電圧12およびアース13からそれぞれ切り離される。この時、 p チャネルMOSFET 5および n チャネルMOSFET 6はいずれもしきい値電圧（絶対値）がMOSFET 1~4よりも高く設定されているため、リーク電流を小さく抑えることができる。

【0007】一般に、MOSFETのゲート・ソース間の電圧がしきい値電圧以下の領域では、ソース・ドレイン間のリーク電流はゲート電圧に対して指数関数的に増加する。このため、組み合わせ回路11が動作していない場合、MOSFET 1~4とMOSFET 5, 6のしきい値電圧に差を持たせることによってリーク電流を大幅に削減することができる。なお、一例として、図7は組み合わせ回路11が2入力NANDゲートである場合を示しているが、これはLSIを構成するいかなる種類および規模の回路でも同様の議論が成立する。

【0008】

【発明が解決しようとする課題】従来の低電圧動作型の半導体集積回路は以上のように構成されているので、2入力NANDゲートのように、出力が入力の組み合わせによって決定される組み合わせ回路の場合には正常に動作

するが、以前の状態を記憶保持する機能を有する順序回路の場合には誤動作を起こしてしまうなどの課題があった。

【0009】この順序回路の一例として、図8に2つのインバータの入力と出力とが互いに交差して接続したいわゆるラッチ回路の図を示す。図において、14, 15は p チャネルMOSFET、16, 17は n チャネルMOSFETであり、いずれも低いしきい値電圧（絶対値）を有するものである。5は p チャネルMOSFET、6は n チャネルMOSFETであり、双方共にしきい値電圧（絶対値）は高いものから成る。これらのMOSFET 14~17により順序回路20が構成され、ノード18, 19が一对の記憶保持ノードを形成し、その一方がハイレベルの時はもう一方がローレベルとなり入力した値を保持することができる。

【0010】次に動作について説明する。CS1がハイレベルであるとともにCSB1がローレベルとなった状態で順序回路20が動作する場合は、書き込まれたデータの値が正常に保持され、しかも p チャネルMOSFET 14, 15と n チャネルMOSFET 16, 17のしきい値電圧が共に低いために、ノード18, 19への書き込み・読み出しを高速に行うことができる。

【0011】しかしながら、動作していない時に、CS1がローレベルでしかもCSB1がハイレベルとなってリーク電流が低減してしまうと、MOSFET 14~17におけるオフ時のリーク電流の方がMOSFET 5, 6のオフ時のリーク電流よりも大きくなるために、ノード18, 19のデータを保持できなくなる。なぜならば、例えばノード18がハイレベルでノード19がローレベルであるとする、MOSFET 14~17のうち、 p チャネルMOSFET 15および n チャネルMOSFET 16がオフとなり他の2つはオンとなるが、 p チャネルMOSFET 15および n チャネルMOSFET 16を流れるリーク電流のおかげでハイレベルのノード18が低下し、ローレベルのノード19が上昇してしまうからである。これはノード18, 19のレベルが等しくなるまで続き、その結果保持されていたデータは失われてしまう。このように、従来の低電圧動作型の半導体集積回路では、順序回路のデータが消失してしまうという課題があった。

【0012】この発明は上記のような課題を解決するためになされたもので、順序回路の保持データを破壊することなく、動作していない回路のリーク電流の低減により低消費電力化を図ることができる半導体集積回路を得ることを目的とする。

【0013】

【課題を解決するための手段】請求項1記載の発明に係る半導体集積回路は、スイッチング手段と、該スイッチング手段に接続された組み合わせ回路と、第1の電界効果トランジスタを含む順序回路と、第1の電界効果トラ

ンジスタのしきい値電圧を可変とする制御手段とを備えたものである。

【0014】請求項2記載の発明に係る半導体集積回路は、順序回路に含まれる第1の電界効果トランジスタはバックゲートを有しており、制御手段はこのバックゲートを介して前記第1の電界効果トランジスタのしきい値電圧を可変とするものである。

【0015】請求項3記載の発明に係る半導体集積回路は、制御手段は正電圧発生器と負電圧発生器とを含むものである。

【0016】請求項4記載の発明に係る半導体集積回路は、組み合わせ回路には第2の電界効果トランジスタが含まれているとともに、スイッチング手段には第3の電界効果トランジスタが含まれており、第2の電界効果トランジスタのしきい値電圧の絶対値よりも第3の電界効果トランジスタのしきい値電圧の絶対値が高いものである。

【0017】請求項5記載の発明に係る半導体集積回路は、組み合わせ回路には第2の電界効果トランジスタが含まれており、スイッチング手段には少なくとも二つの第3の電界効果トランジスタが含まれており、その一方のトランジスタのソースが電源電圧に接続されているとともに他方のトランジスタのソースがアース電位に接続されている半導体集積回路において、第2の電界効果トランジスタのしきい値電圧の絶対値が第3の電界効果トランジスタのしきい値電圧の絶対値が略等しく、しかも上記第3の電界効果トランジスタがオフ状態にある場合には電源電圧側のトランジスタとアース側のトランジスタとでゲート・ソース間電位を逆バイアスとするものである。

【0018】請求項6記載の発明に係る半導体集積回路は、組み合わせ回路は複数の第1の回路ブロックから成り、それぞれの第1の回路ブロックに対してスイッチング手段が個別に接続されており、順序回路もまた複数の第2の回路ブロックから成り、それぞれの第2の回路ブロックに含まれる第1の電界効果トランジスタのしきい値電圧を可変とする制御手段が個別に接続されているものである。

【0019】請求項7記載の発明に係る半導体集積回路は、スイッチング手段は、電源電圧よりも高い電圧を発生させる第1の昇圧器と、アース電位よりも低い電圧を発生させる第1の降圧器と、第1の昇圧器と接続された反転手段と、第1の降圧器と接続された非反転手段とを備えるものである。

【0020】請求項8記載の発明に係る半導体集積回路は、制御手段は正電圧発生器と接続される第2の昇圧器と、負電圧発生器と接続される第2の降圧器とを備えており、正電圧発生器と負電圧発生器がマルチプレクサ回路から成るものである。

【0021】請求項9記載の発明に係る半導体集積回路

は、制御手段に含まれる第2の昇圧器および第2の降圧器が、スイッチング手段に含まれる第1の昇圧器および第1の降圧器と異なるものである。

【0022】請求項10記載の発明に係る半導体集積回路は、組み合わせ回路と順序回路とを含む論理回路と、昇圧器と降圧器とを有する集積回路とを備えた半導体集積回路において、集積回路の昇圧器および降圧器を用いて、組み合わせ回路のスイッチング手段を駆動するとともに、順序回路に含まれるバックゲートを有する電界効果トランジスタのバックゲートを介してコントロールする制御手段を駆動するものである。

【0023】請求項11記載の発明に係る半導体集積回路は、昇圧器と降圧器とを有する集積回路がダイナミックランダムアクセスメモリ（DRAM）からなるものである。

【0024】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による低電圧動作型の半導体集積回路を示す図であり、図において、1, 2はpチャネルMOSFET、5はpチャネルMOSFET、3, 4はnチャネルMOSFET、6はnチャネルMOSFET、23, 24はバックゲート用ノードである。ここで、pチャネルMOSFET 1, 2のしきい値電圧の絶対値はpチャネルMOSFET 5のしきい値電圧の絶対値よりも低く設定されるとともに、nチャネルMOSFET 3, 4のしきい値電圧の絶対値はnチャネルMOSFET 6のしきい値電圧の絶対値よりも低く設定されている（以下、「しきい値電圧」はその絶対値をいうものとする）。そして、これらのMOSFET 1~4が、例えば2入力NANDゲートのような組み合わせ回路11を構成し、MOSFET 5, 6がスイッチング手段を構成する。この場合、pチャネルMOSFET 5は電源電圧12と仮想的な電源線9との間に接続され、そのゲートには制御信号CSB1が入力する。また、nチャネルMOSFET 6は仮想的なアース線10とアース13との間に接続され、そのゲートには制御信号CS1が入力する。

【0025】一方、14, 15はpチャネルMOSFET、16, 17はnチャネルMOSFETであり、これらが順序回路20を構成している。また、正電圧発生器21と、負電圧発生器22と、MOSFET 14~17のバックゲート用ノード23, 24が制御手段を構成している。これらのMOSFET 14~17はしきい値電圧の絶対値が低いものからなり、ノード18, 19が一对の記憶保持ノードを形成している。この場合、pチャネルMOSFET 14, 15のバックゲート電位VC1を正電圧発生器21の出力に接続し、nチャネルMOSFET 16, 17のバックゲート電位VD1を負電圧発生器22の出力に接続した構成となっている。

【0026】次に動作について説明する。組み合わせ回路11を動作させる場合には、制御信号CS1をハイレベルにするとともに、その反転信号である制御信号CSB1をローレベルにする。これにより、pチャネルMOSFET5およびnチャネルMOSFET6はいずれもオンの状態になり、仮想的な電源線9は電源電圧12の電位 V_{DD} レベルまで引き上げられ、一方仮想的なアース線10はアース13の V_{GND} レベルまで引き下げられる。この結果、このような2入力NANDゲートの組み合わせ回路11は通常のNAND動作をすることになる。この際、MOSFET1~4のしきい値電圧（絶対値）は低く設定されているので、電源電圧12の電圧が低電圧の際にも低消費電力で高速の動作が可能となる。

【0027】組み合わせ回路11を動作しない場合には、制御信号CS1をローレベルとし、その反転信号である制御信号CSB1をハイレベルとする。このときpチャネルMOSFET5およびnチャネルMOSFET6はいずれもオフとなって、仮想的な電源線9および仮想的なアース線10は、それぞれ電源電圧12およびアース13から切り離される。ここで、pチャネルMOSFET5およびnチャネルMOSFET6はいずれもしきい値電圧（絶対値）をMOSFET1~4よりも高く設定されているため、リーク電流を小さく抑えることができる。

【0028】一方、順序回路20に関しては、動作時には、制御手段に入力する制御信号CS2がハイレベルとなり、正電圧発生器21によりpチャネルMOSFET14、15のバックゲート電位VC1が電源電圧 V_{DD} レベルとなるとともに、負電圧発生器22によってnチャネルMOSFET16、17のバックゲート電位VD1がアース電位 V_{GND} レベルとなる。したがって、このとき順序回路20は通常の記憶保持動作を行うことができる。この場合、順序回路20のpチャネルMOSFET14、15とnチャネルMOSFET16、17はいずれもしきい値電圧の絶対値が低いもので構成しているため、ノード18、19へのデータの書き込み・読み出しを高速に行うことができる。また、順序回路20が動作しない時には、CS2がローレベルになり、正電圧発生器21の出力VC1は電源電圧 V_{DD} よりも高くなり、負電圧発生器22の出力VD1はアース電位 V_{GND} よりも低い値となる。その結果、pチャネルMOSFET14、15のバックゲート電位VC1は電源電圧12よりも高くなるためにそのしきい値電圧が高くなり、またnチャネルMOSFET16、17のバックゲートにかかるバックゲート電位VD1が電源電圧12よりも電位が低くなるためにやはりしきい値電圧が高くなる。このため、順序回路20の電源電圧12からアース13へ流れるリーク電流を低減することができる。

【0029】以上のように、この実施の形態1によれば、順序回路20を動作しない時には低しきい値MOS

FETのバックゲート電位を変化させてそのしきい値電圧を上昇させることにより、リーク電流を低減して記憶保持ノードのデータを破壊することなく消費電力を減少する効果がある。さらに、組み合わせ回路11および順序回路20に使われているMOSFETのしきい値は低いので動作時にも高速かつ低消費電力で書き込み・読み出しを行うことができる効果がある。なお、この実施の形態1では制御信号CS1とCS2を別信号として説明したが、両者が同一信号であっても同様の動作を実現することができ、同様の効果を奏する。

【0030】実施の形態2. 図2はこの発明の実施の形態2による低電圧動作型の半導体集積回路を示す図であり、図において、順序回路20の構成および動作は実施の形態1と同一であるから同一部分には同一符号を付して重複説明を省略する。この実施の形態2においては、組み合わせ回路11が動作しない時のリーク電流低減用のMOSFET5、6のしきい値電圧を他のMOSFET1~4と同様の低しきい値電圧に設定している。

【0031】次に動作について説明する。この実施の形態2では、組み合わせ回路11を動作しない時には、制御信号CS1をアース V_{GND} よりも低い電位とするとともに、CSB1を電源電圧 V_{DD} よりも高い電位とすることによりリーク電流の低減を図るものである。さもないければ、スイッチング手段を構成するMOSFETのしきい値が組み合わせ回路を構成するものと同程度なので、このままでは電源・アース間で電流のリークが発生して回路全体の消費電力量が増大してしまうからである。したがって、上述のように構成すれば、複数種類のしきい値電圧を有するMOSFETを使用することなく実施の形態1と同様の効果が得られるだけでなく、スイッチング手段に用いるMOSFET5、6を含めて全てしきい値が低いものにすることができる。したがって、半導体集積回路装置の製作時において、マスク数を減少させることができ、製作工程数を減らすことができるので製造コスト低減の効果もある。

【0032】実施の形態3. 図3はこの発明の実施の形態3によるそれぞれ複数の組み合わせ回路と順序回路からなる回路ブロックを大規模集積回路(LSI)に適用した場合を示すブロック図であり、図において、11_i~11_nは組み合わせ回路のブロックであり、それぞれが制御信号CSB1_i~CSB1_nを入力するpチャネルMOSFET5_i~5_nと制御信号CS1_i~CS1_nを入力するnチャネルMOSFET6_i~6_nとを具備している。一方20_i~20_nは順序回路のブロックであり、それぞれがCS2_i~CS2_nを入力する正電圧発生器21_i~21_n、負電圧発生器22_i~22_nと、バックゲート用ノード(制御手段)23_i~23_n、24_i~24_nとを具備している。その他の構成は前記図2に示される実施の形態2と同じであるから、同一部分には同一符号を付して重複説明を省略する。

【0033】組み合わせ回路のブロック11_i～11_mにおいて、pチャネルMOSFET5_i～5_mは低い値を有しており、制御信号CSB1_i～CSB1_mにより実施の形態2のpチャネルMOSFET5と同様の働きをし、またnチャネルMOSFET6_i～6_mも低い値で制御信号CS1_i～CS1_mにより実施の形態2のnチャネルMOSFETと同様の働きをする。また、正電圧発生器21_i～21_mは実施の形態1の正電圧発生器21と同様の働きをし、それぞれが制御信号CS2_i～CS2_mによって順序回路20_i～20_mのpチャネルMOSFETのバックゲート用ノード23_i～23_mを制御する。一方、順序回路のブロック20_i～20_mにおいては、負電圧発生器22_i～22_mも実施の形態1の負電圧発生器22と同様の働きをし、それぞれが制御信号CS2_i～CS2_mによって順序回路20_i～20_mのnチャネルMOSFETのバックゲート用ノード23_i～23_mを制御する。なお、制御信号CSB1_i～CSB1_m、CS1_i～CS1_m、および制御信号CS2_i～CS2_mはいずれも独立に動作できるものとする。

【0034】次に動作について説明する。組み合わせ回路のブロック11_i～11_mに対して制御信号CSB1_i～CSB1_m、CS1_i～CS1_mをそれぞれ独立に入力させることにより、組み合わせ回路のブロック11_i～11_mはそれぞれ独立に動作し、一方順序回路のブロック20_i～20_mに対しても同様に制御信号CS2_i～CS2_mをそれぞれ独立に入力することにより、順序回路のブロック20_i～20_mをそれぞれ独立に動作する。

【0035】以上のように、この実施の形態3によれば、動作していない時の順序回路の動作を順序回路のブロック毎に独立に制御することができるので、それぞれの記憶保持ノードで保持しているデータを破壊しないように個別にリーク電流を制御して低減することができ、しかも複数種類のしきい値を有するMOSFETを使用していないので、マスク数の減少等による製造工程数の減少に寄与することができる。したがって、製造コストの削減と、製品化した半導体集積回路がスタンバイ時などで動作していない部分のリーク電流の低減による電力消費量を抑制する効果が得られる。なお、ここでは、図2の半導体集積回路を基礎にして説明をしたが、図1の半導体集積回路を基礎にしてもよい。

【0036】実施の形態4。図4はこの発明の実施の形態4による半導体集積回路の回路構成を示す図であり、制御信号CSB1_i～CSB1_mおよびCS1_i～CS1_mを昇圧器と降圧器を用いて発生させる場合を示すものである。図において、48は電源電圧よりも高い電圧を発生させる昇圧器（第1の昇圧器）、49はアース電位よりも低い電圧を発生させる降圧器（第1の降圧器）、50_i～50_mは制御信号BE_i～BE_mの反転

機能を有するバッファ回路、51_i～51_mは制御信号BE_i～BE_mの非反転機能を有するバッファ回路であり、バッファ回路50_i～50_mと非バッファ回路51_i～51_mがそれぞれ反転手段と非反転手段を構成する。V_H、V_Lはそれぞれ電源電圧V_{DD}よりも高い電位を有する昇圧器48の出力、およびアース電位V_{GND}よりも低い電位を有する降圧器49の出力である。また、反転バッファ回路50_i～50_mは、それぞれ電源・アースをノードND1_i・ノードND2_i、…、ノードND1_m・ノードND2_mに接続され、非反転バッファ回路51_i～51_mは、それぞれ電源・アースをノードND3_i・ノードND4_i、…、ノードND3_m・ノードND4_mに接続される。制御信号BE_i～BE_mは組み合わせ回路へ入力する制御信号であるCSB1_i・CS1_i、…、CSB1_m・CS1_mを制御するための信号である。その他の構成は前記図3に示される実施の形態3と同じであるから、同一部分には同一符号を付して重複説明を省略する。

【0037】次に動作について説明する。図3に示されるm個の組み合わせ回路ブロックのうちの一つの組み合わせ回路11_iを例にとると、動作する場合は、制御信号BE_iがハイレベルとなる。このときバッファ回路50_iおよび51_iにおいて、CSB1_iおよびCS1_iはそれぞれアースV_{GND}および電源電圧V_{DD}のレベルとなり、実施の形態3で説明した動作を行う。動作しない場合は、制御信号BE_iがローレベルとなり、このときCSB1_iは反転バッファ回路50_iを通じて反転され電源電圧V_{DD}よりも高い電位を有するノードND1_iの電位V_Hとなり、またCS1_iは非反転バッファ回路51_iを通じて非反転されアースよりも低い電位を有するノードND4_iの電位V_Lとなる。これにより、実施の形態3で説明したものと同様に組み合わせ回路ブロック11_iのリーク電流を低減することができる。同様に、バッファ回路50_m、51_m等に関しても制御信号BE_mにより上述の動作をする。

【0038】以上のように、この実施の形態4によれば、反転バッファ回路と非反転バッファ回路に昇圧器、降圧器等の単純な回路を付加するだけで、組み合わせ回路を動作していない時のリーク電流をさらに低減することができるので、半導体集積回路で動作していない部分のリーク電流による電力消費量をさらに低減することができる効果がある。なお、この実施の形態4は、実施の形態3に示された組み合わせ回路・順序回路からなる回路と同一チップ内に上述の昇圧・降圧回路を設けてもよく、これにより半導体集積回路を積載したチップのサイズを縮小することができる効果がある。

【0039】実施の形態5。図5はこの発明の実施の形態5による半導体集積回路の回路構成を示す図であり、図において、58_i～58_mはそれぞれ正電圧発生器21_i～21_mを構成するマルチプレクサ回路（MU

X)、59₁～59_nはそれぞれ負電圧発生器22₁～22_nを構成するマルチプレクサ回路(MUX)である。他の構成は、実施の形態4と同じであるから、同一部分には同一符号を付して重複説明を省略する。

【0040】次に動作について説明する。例えば、図3における順序回路20₁は、動作する時は、制御信号CS2₁がハイレベルとなり、マルチプレクサ回路58₁において電源電圧V_{DD}が選択されてバックゲート用ノード23₁に出力され、マルチプレクサ回路59₁においてはアース電位V_{CND}がバックゲート用ノード24₁に出力される。動作しない時は、制御信号CS2₁がローレベルとなり、マルチプレクサ回路58₁においては電源電圧よりも高い電位V_Hが選択されてバックゲート用ノード23₁に出力され、マルチプレクサ回路59₁においては、アース電位よりも低い電位V_Lが選択されてバックゲート用ノード24₁に出力される。これにより実施の形態3と同じ動作が実現される。

【0041】以上のように、この実施の形態5によれば、単純で安価なマルチプレクサ回路を正・負電圧発生器に適用するように構成したので、順序回路を動作していない時でもリーク電流を低減でき、順序回路の保持データを破壊することがない。したがって、低い製造コストで半導体集積回路で動作していない部分の電力消費量を削減する効果がある。なお、この実施の形態5では、昇圧器(第2の昇圧器)48および降圧器(第2の降圧器)49を実施の形態4のものと同一ものとして説明したが、これらを別のものとして、独自に出力電圧を設定できるようにすれば、よりきめ細かいリーク電流の低減を実現することができる。さらに、実施の形態3に示された組み合わせ回路・順序回路からなる回路と同一チップ内にこの実施の形態5に示された正・負電圧発生器から成る回路を設けてもよく、これにより半導体集積回路を積載したチップのサイズを縮小することができる効果がある。

【0042】実施の形態6. 図6はこの発明の実施の形態6による半導体集積回路の回路構成を示す図であり、図において、62は例えばフラッシュメモリ、ダイナミックランダムアクセスメモリ(DRAM)に代表される、記憶情報のリフレッシュが必要な高集積MOSRAMであり、63はロジック回路であり、メモリ部とロジック部が混載したタイプのいわゆるハイブリッド型半導体集積回路である。ロジック回路は実施の形態3における組み合わせ回路・順序回路からなる論理回路と同様の構成とする。高集積MOSRAMには、リフレッシュ動作のように回路を良好に動作させる必要があるから、通常内部に昇圧器48および降圧器49が設けられており、これらの出力V_H、V_Lをロジック回路63に応用すれば、実施の形態3のように動作させることができる。

【0043】以上のように、この実施の形態6によれ

ば、DRAMの内部に配置されている昇圧器と降圧器を有効に利用することができるので付加的な回路の占有面積を縮小することができ、したがってハードウェアの部品数の増加を抑制することができる。その結果、半導体集積回路で動作していない部分のリーク電流を低減することに基づく電力消費量の削減に寄与するだけでなく、でき上がった半導体集積回路装置のチップサイズを小さくすることもできるので製造コストを低減するという効果もある。

【0044】

【発明の効果】以上のように、請求項1記載の発明によれば、順序回路に使用されている第1の電界効果トランジスタは制御手段がそのしきい値電圧を可変とすることができるよう構成したので、順序回路が動作する時は第1の電界効果トランジスタのしきい値電圧を低くしてこの順序回路に形成された記憶保持ノードへのデータの書き込み・読み出しを低消費電力で高速に行うことができ、加えて順序回路が動作しない時は第1の電界効果トランジスタのしきい値電圧を高めることによりリーク電流を減少させることができ、これにより記憶保持ノードに保持されているデータを破壊・消失しない効果がある。また、スイッチング手段は組み合わせ回路が動作しない時にその他の回路部分と切り離すことができるように構成したので、組み合わせ回路のリーク電流を低減できる効果がある。

【0045】請求項2記載の発明によれば、順序回路を構成する第1の電界効果トランジスタはバックゲートを有するように構成したので、順序回路を動作しない時は、制御手段がバックゲートを介してその電位をコントロールすることにより第1の電界効果トランジスタのしきい値を高めリーク電流を減少させることができ、これにより記憶保持ノードに保持されているデータを破壊・消失の防止と低消費電力化をもたらす効果がある。

【0046】請求項3記載の発明によれば、順序回路と接続した制御手段が正電圧発生器と負電圧発生器とを含むように構成したので、バックゲートと接続した正電圧発生器および負電圧発生器に入力する制御信号がハイレベルかローレベルかで順序回路を構成するpチャネル部とnチャネル部の第1の電界効果トランジスタのしきい値を可変とすることができる。したがって、順序回路を動作する時は、低いしきい値でトランジスタを動作させるので高速アクセスでしかもその電力消費量は少なくて済み、一方動作しない時には、pチャネル部のトランジスタのしきい値を電源電圧よりも高くなるようにするとともに、nチャネル部のトランジスタのしきい値をアース電位よりも低くするようにすることができるので、順序回路の電源からアースへ流れるリーク電流を低減することができ、これにより記憶保持ノードにある保持データを消失しない効果がある。さらに、上記バックゲートを有するトランジスタを使用して順序回路を構成すれ

ば、しきい値が小さいトランジスタでこれを構成することが可能なので、マスク数の減少に伴う工程数の減少により製造コストの低減をもたらす、しかもでき上りの半導体集積回路装置のチップサイズを減少させることができるので製品歩留まりを向上する効果がある。

【0047】請求項4記載の発明によれば、組み合わせ回路に用いられている第2の電界効果トランジスタのしきい値電圧は、スイッチング手段に用いられている第3の電界効果トランジスタのしきい値電圧よりも小さいように構成されているので、組み合わせ回路のゲートに送られる制御信号のレベルを抑えるだけで論理動作を低消費電力で高速に行うことができる効果がある。

【0048】請求項5記載の発明によれば、組み合わせ回路に用いられている第2の電界効果トランジスタのしきい値電圧は、スイッチング手段に用いられている第3の電界効果トランジスタのしきい値電圧と略等しく、第3の電界効果トランジスタはオフ状態にある場合には電源電圧側のトランジスタとアース側のトランジスタとでそのゲート・ソース間電圧を逆バイアスとするように構成したので、上記スイッチング手段に用いられたトランジスタもまた組み合わせ回路に用いられるもの並みにしきい値の小さいトランジスタを適用できる。したがって、一つの半導体集積回路に多種類のしきい値を有するトランジスタを混在させないので、マスク数を減少して製作工程を簡易にし製造コストを低減するという効果がある。

【0049】請求項6記載の発明によれば、組み合わせ回路は複数の回路ブロックから成り、それぞれの回路ブロックに対してスイッチング手段が個別に接続されており、順序回路もまた複数の回路ブロックから成り、それぞれの回路ブロックに含まれる第1の電界効果トランジスタのしきい値電圧を可変とする制御手段が個別に接続されているように構成したので、半導体集積回路の消費電力・アクセス速度などの諸条件を考慮しながら細かくリーク電流を抑制でき順序回路の記憶保持データを消失しないようにすることができる効果がある。

【0050】請求項7記載の発明によれば、制御信号が反転手段と非反転手段を経由する際に、スイッチング手段が有する第3の電界効果トランジスタのゲート・ソース間にかかる電位を電源側とアース側とで、第1の昇圧器と降圧器はそれぞれ別々に制御できるので、互いに逆バイアスとすることができる。これにより単純な回路の付加で組み合わせ回路のリーク電流を低減できるので低消費電力化に寄与する効果がある。

【0051】請求項8記載の発明によれば、順序回路と接続した制御手段は正電圧発生器と接続される第2の昇圧器と負電圧発生器と接続される第2の降圧器とを備えており、正電圧発生器と負電圧発生器を簡易なマルチプレクサ回路から成るように構成したので、順序回路が動作しない時には、マルチプレクサ回路を経由した制御信

号はバックゲートを介して昇圧器側と降圧器側とで順序回路のリーク電流をより低減するように設定できる。したがって、単純で安価な回路の付加をするだけで記憶保持データを消失せずに回路の消費電力をさらに低減できる効果がある。

【0052】請求項9記載の発明によれば、制御手段に含まれる昇圧器・降圧器が、スイッチング手段に含まれるものと独立に構成するようにしたので、個別に出力電圧を設定することができ、よりきめ細かいリーク電流の低減を実現することができ、でき上がった半導体集積回路装置全体の省電力化に寄与する効果がある。

【0053】請求項10記載の発明によれば、昇圧器および降圧器を含む回路と、組み合わせ回路と順序回路とを含む論理回路とが結合したように構成したので、集積回路の昇圧器と降圧器とをこの論理回路に流用すれば、付加的な回路の設定を省略することができるので半導体集積回路装置全体のチップサイズを縮小化できる。しかも、チップサイズの減少により1枚ウエーハ当たりの製作コストの減少にも寄与できる効果がある。

【0054】請求項11記載の発明によれば、昇圧器と降圧器とを有する集積回路がダイナミックランダムアクセスメモリ(DRAM)からなるように構成したので、論理回路とDRAMとの混成回路を作成することができ、通常DRAMはリフレッシュ動作等のために昇圧器と降圧器とを具備するものであるため、これらを論理回路動作用に使用するように設計することができる。したがって、部品数の増大を招くことなく混成回路全体の占有面積の縮小化に寄与することができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体集積回路の回路構成図である。

【図2】 この発明の実施の形態2による半導体集積回路の回路構成図である。

【図3】 この発明の実施の形態3による半導体集積回路の回路構成図である。

【図4】 この発明の実施の形態4による半導体集積回路の回路構成図である。

【図5】 この発明の実施の形態5による半導体集積回路の回路構成図である。

【図6】 この発明の実施の形態6による半導体集積回路の回路構成図である。

【図7】 従来のMT-CMOSによる低電圧動作回路の回路構成図である。

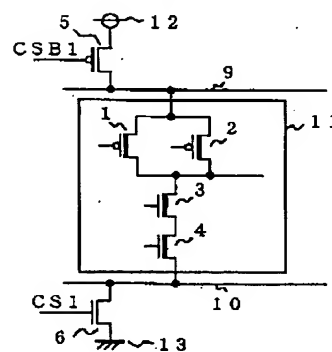
【図8】 従来のラッチ回路の回路構成図である。

【符号の説明】

5 pチャネルMOSFET(スイッチング手段)、6 nチャネルMOSFET(スイッチング手段)、11 組み合わせ回路、12 電源電圧、14、15 pチャネルMOSFET(制御手段)、16、17 nチャネルMOSFET(制御手段)、20 順序回路、2

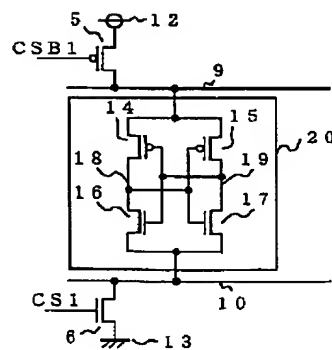
器、第2の昇圧器)、49 降圧器(第1の降圧器、第2の降圧器)、58₁ ~ 58_n、59₁ ~ 59_n マルチプレクサ回路。

【图7】

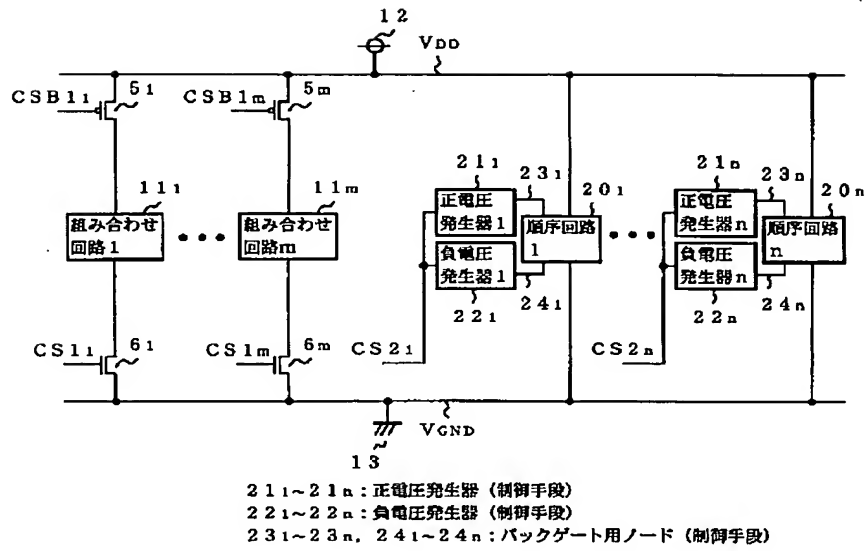


- | | | |
|------------------------------|-------------------------------|------------------------------|
| 5: pチャネルMOSFET
(スイッチング手段) | 11: 組み合わせ回路 | 20: 順序回路 |
| 6: nチャネルMOSFET
(スイッチング手段) | 12: 電源電圧 | 21: 正電圧発生器 (制御手段) |
| | 14, 15: pチャネルMOSFET
(制御手段) | 22: 負電圧発生器 (制御手段) |
| | 16, 17: nチャネルMOSFET
(制御手段) | 23, 24: バックゲート用ノード
(制御手段) |

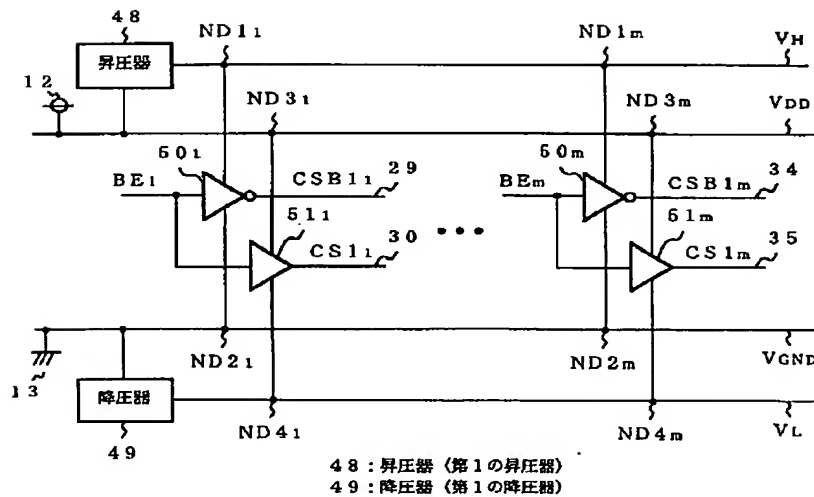
【图8】



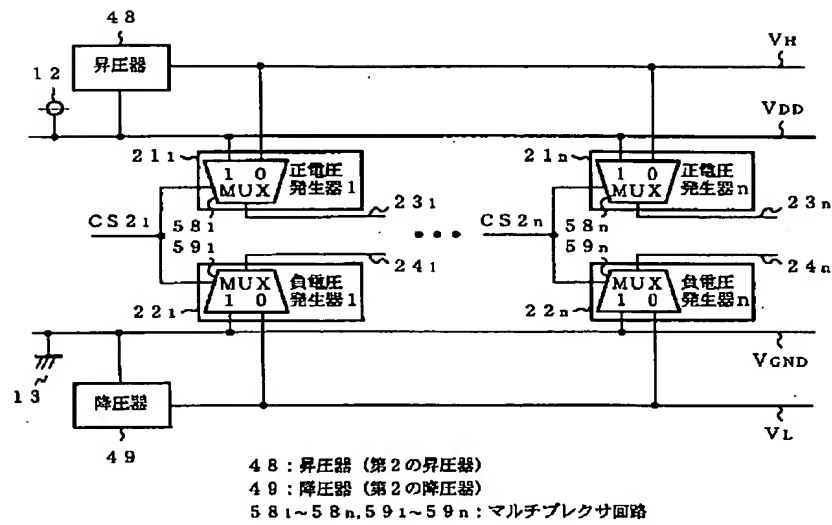
【図3】



【図4】



【図5】



【図6】

